

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-246404

(43)Date of publication of application : 19.09.1997

(51)Int.O1

H01L 21/8247

H01L 29/788

H01L 29/792

G11D 16/02

H01L 27/115

(21)Application number : 08-046231

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 04.03.1996

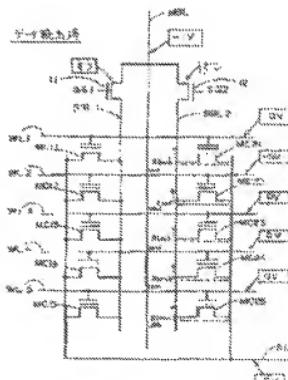
(72)Inventor : SAKAKIBARA KIYOHIKO

(64) NON-VOLATILE SEMICONDUCTOR MEMORY

(57)Abstract

PROBLEM TO BE SOLVED: To provide DINOR type flash memory cutting down the gate length without decreasing the implanting efficiency in floating gate.

SOLUTION: Within the title non-volatile semiconductor memory, a gate length shorter than the marginal gate length in the drain withstand voltage length characteristic is adopted while setting up the relation formula of $Id_{sRleak}/Id_{sRead} \geq Nbit/M$ to be satisfied. In said formula, Id_{sRead} represents the reading out current running between the source drain of a selective memory cell MC 22 in the data reading-out time, Id_{sRleak} represents the reading out leakage current between the source drain of the MC23-MC25, $Nbit$ represents the numbers of MC11-MC15 or MC21-MC25, M represents the previously specified margin factor exceeding 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

02 公開特許公報 (A)

(11)特許出願公開登録

特開平9-246404

(63)公開日 平成9年(1997)9月19日

(61)Int.Cl.⁵
 H 0 1 L 21/8247
 29/788
 29/792
 G 1 1 C 16/02
 H 0 1 L 27/115

類別記号 疾内基準番号

P I		技術表示箇所
H 0 1 L 26/78	3 7 1	
G 1 1 C 17/00	3 9 7 A	
H 0 1 L 27/10	4 3 4	

審査請求 未請求 請求項の数 5 O.L. (全 1 頁)

(21)出願番号 特願平6-46231

(71)出願人 000000013

(22)出願日 平成8年(1996)3月4日

三澤電機株式会社
東京都千代田区丸の内二丁目2番3号(72)発明者 柳原 哲郎
東京都千代田区丸の内二丁目2番3号 三
澤電機株式会社内

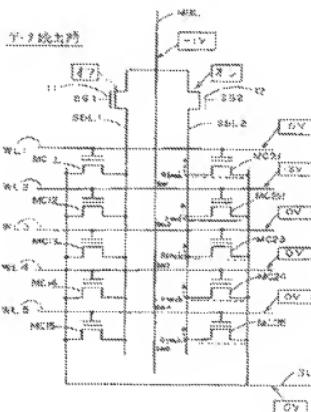
(74)代理人 井上 保見 久隆 (443名)

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【課題】 フローティングゲートへの注入易度を低下させることなくゲート長を短縮化したN+ND+D型フラッシュメモリを提供する。

【解決手段】 ドレイン電圧ゲート電極間ににおける遮断ゲート長よりも長いゲート長を使用し、開抵抗 I_{dss} $\leq 1/d^{1.5}$ (d : ノード長)を満たすように設定する。 $d^{1.5}$ はデータ記憶時に流れれる漏出電流を示し、 $d^{1.5}$ はデータ記憶時に流れれる漏出電流を示す。MC 2 1、MC 2 3～MC 2 5のノードドレイン間に流れれる漏出電流を示す。MC 1～MC 5の数を示し、 d は予め定められたノード上のアーチングファクタを示す。



【技術請求の範囲】

【請求項1】複数のスタッガード型メモリセル、前記スタッガード型メモリセルに對応して設けられ、各々が對応するスタッガード型メモリセルのコントロールゲートと接続された複数のワード線、

メインビット線、

前記複数のスタッガード型メモリセルのドレインと共通に接続されたサブビット線、

前記メインビット線と前記サブビット線との間に接続されたセレクトゲート、および接続複数のスタッガード型メモリセルのソースと共通に接続されたソース線を含む。

並記スタッガード型メモリセルのゲート長は、ドレイン側とゲート端との關係を表す下記ドレイン耐圧ゲート長特性式に於いてゲート長を規制化と共にドレイン耐圧が低下し始めるときの最短ゲート長よりも短く、かつ關係式

$$L_d < L_s - \frac{V_{dss}}{V_{t0}} \cdot \ln \left(\frac{V_{dss}}{V_{dss} - V_{t0}} \right) \quad (1)$$

(式中の L_d : 前記ワード線によって選択されたスタッガード型メモリセルからのデータ書き出し時におけるゲート長、 V_{dss} : 前記データ書き出し時に所要電圧、 V_{t0} : 前記ワード線によって選択された時における漏電流を示す閾値電圧)

は前記データ書き出し時に所要ワード線によって選択されずかつデータがプログラムされた状態にあるスタッガード型メモリセルのソースドレイン間に流れる放電回り電流を示す、又もこれは前記スタッガード型メモリセルの電圧一定にて所要電圧が与えられた以上にマージン ΔV を生じさせ、容調をすすむに随定される、不揮発性半導体記憶装置。

【請求項2】前記マージンワクタ法により設定される、前記式に於ける不揮発性半導体記憶装置、

【請求項3】前記スタッガード型メモリセルへのデータ書き出し時に前記ノース線を開放状態にする開放手段をさらに含む、前記請求項または前記項2に注記の不揮発性半導体記憶装置。

【請求項4】前記スタッガード型メモリセルへのデータ書き出し時に所要電圧を前記ソース線に印加する第1のパッケージトロード耐圧側面に備え、該電圧または該電圧に匹敵の不揮発性半導体記憶装置。

【請求項5】前記データ書き出し時に所定電圧を前記ソース側に印加する第2のスタッガード型耐圧手段をさらに含む、前記請求項から請求項4のいずれか1項に記載の不揮発性半導体記憶装置。

【特許の詳細な説明】

【0001】

【発明の属する技術分類】この発明は不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】即ち、不揮発性半導体記憶装置の一端であるワッシュメモリは、ダイオキサランタムアセチ

スマモリ(DRAM)よりも安価に製造できるため、次世代を狙うメモリデバイスとして期待されている。

【0003】このワッシュメモリの構造を单一化するために選ばれ、カチャブルメモリセルを用いて、そのコントロールゲートと接続された複数のワード線、

メインビット線、

前記複数のスタッガード型メモリセルのドレインと共通に接続されたサブビット線、

前記メインビット線と前記サブビット線との間に接続されたセレクトゲート、および接続複数のスタッガード型メモリセルのソースと共通に接続されたソース線を含む。

【0004】これに用い、本開発人は複数のワード線を用いて、メモリセルの陰極化を困難にしつつパンチホール現象を起きにくくするため、自らチャブルメモリセルを用いた。すなはち複数のワード線を用いたDINOR型のワッシュメモリを開発している。然る、この先駆は本願の技術を既往においてまだ開発されていないが、本願開発は上記先駆に係るチャブルメモリセルを用いたDINOR型のワッシュメモリの改良を主目的とするため、以下正、ヨウマシエンメモリセルを用いたDINOR型のワッシュメモリについて概要に説明する。

【0005】図8は、DINOR型のワッシュメモリにおけるチャブルメモリセルの構造を示す断面図である。図を参照して、このメモリセルの構成は、エミッタ部81と、ウェル81との表面に形成されたp+型ノード82およびドレイン83と、ウェル81との形成されたトランジスタ化層84と、トランジタル電極85と、4層構成で形成されたフローティングゲート86と、フローティングゲート86より形成された漏電絶縁層87と、隣接絶縁層88より形成されたコントロールゲート89とを備える。このように構成のメモリセルは一體にスタッガードゲートとして構成される。

【0006】上記メモリセル89へのデータ書き込みには、直電場がコントロールゲート89に与えられ、後述がドレイン83に与えられ、ウェル81が電離され、ソース82が開放(オープン)状態にされる。これによりドレイン83内のトランジスタ化層84にて、パンドーバンド逆伝導トランジタル現象(以下BTBと称す)によって電子-正孔対(コレクターオンホールペア)88、もしくは生成される。これら電子88は漏電絶縁面と平行な漏界によって加速され、電子エネルギーを蓄積した後エレクトロニクスとしたがって、このホルトコレクターホルトコレクタ88に注入されることにより、このメモリセル89にデータが蓄積されることとなる。

【0007】図9は、上記メモリセル89ににおけるフローティングゲート86とコントロールゲート89と接続されたゲート電極91としてMOSが与えられた場合におけるドレイン電圧Vdとドレイン電圧Vdと特性およびゲート電圧Vgとドレイン電圧Vdと特性を示す。図10は、図9に示されたドレイン電圧Vdに対するゲート電

流 1 g の調合である注入流量 1 g / 10 を示す。この抜きから漏らさないように、Vd = 0 と近傍に、10% 濃度の高い注入流量が印されている。ここで、Vd = 0 で、10%における注入濃度の増加は、B T B T による電子一直線外の増加が原因である。また、Vd = 6% で、7%における注入濃度の低下は、トレイン 8 3 戻のウエル 1 とその混合付近で走るアパランシェ降低が原因である。アパランシェ降低はインパクトイオン化による電子の急増現象であるから、このとき図に示されるようにゲート電流 1 g ほどの低出力にもかかわらずトレイン電流 1 g が印されているために、注入効率 1 g / 10 が図 10 に示されるように低下するものである。

【00008】一般に、图 11 に示されるように、ウェル 8 1 内のチャネルには、パンチスルーストッパー

10 が形成される。ゲート電流の強制的に伴って増加する

パンチスルーストッパー電流を抑えるためである。上記した B T B

1 による電子一出現点はフローティングゲート 8 5 の下

にもり込みがドレイン 8 3 戻の B T B で発生領域 11

1 内で生成される。他方、上記したインパクトイオン化

によるアパランシェ電流は、パンチスルーストッパー

10 がドレイン 8 3 戻と接触する付近のインパクトイオン化

発生領域 12 で主に生成される。

【00009】D (NMR) のラッシュモリは第一の外部電極 (たとえば、3 V) で動作するため、データ書き込みまたはデータ削除時のドレイン電流 Vd は必ずその外部電極をチャージポンプ駆動によってチャージ電池で障止することにより生成される。一般にチャージポンプ駆動は電源印加能力をほとんどのないため、データの書き込みまたは擦り込み動作に伴う負荷電量は極端に大きなものではない。数据電流が充電されない場合、チャージポンプ駆動の面積や段数を増やすことになるので、チャージ面積の増大、ないては製造コストの増大を招くことになる。上述したアパランシェ降低によるドレン電流 10 の低減はチャージポンプ回路の負荷電流を増大させることになるため、このアパランシェ降低によるドレン電流 10 の逆効果抑制されなければならない。

【00010】

【技術的アドバイス】**漏れしそうとする謙譲**】ところで、メモリセルの複雑化や省電力化はそのゲート長を短くすることによって実現される。しかしながら、ゲート長の縮小化に伴ってソース・ドレイン間のパンチスルーストッパー電流が増加するという問題がある。

【00011】このようなパンチスルーストッパー電流の増加を抑えるための手法の 1 つとして、パンチスルーストッパー 10 の濃度を適切に設定するという手法がある。图 12 に示されるような 1 個の埋込渡設置 12 0 を有するメモリセルにおいては、ソース・ドレイン間に印加するウェル 8 10 の電圧のところに電位の谷が形成される。图 12 によれば、等電位線 12 1 の分布が不規則で、上述したパンチスルーストッパーは電位の谷に横れるリード 12 2 によるものであ

る。

【00012】ウェル 8 1 およびパンチスルーストッパー 10 の濃度が一定である場合、ゲート長が縮小されるに従って上記のようなソース・ドレイン間での電位の谷がより大きくなる傾向にある。したがって、このようなゲート長の縮小化に伴う電位の谷を抑えるためにには、ウェル 8 1 やパンチスルーストッパー 10 の濃度を高く設定する必要がある。

【00013】しかしながら、ゲート長の縮小化に伴って

パンチスルーストッパー 10 の濃度を高くすると、ドレイン電流 Vd が低下を招くこととなる。そこで、パンチスルーストッパー 10 の濃度を高めずしてドレイン

電流 Vd が低くなる原因は、パンチスルーストッパー 10 の濃度が低いほどパンチスルーストッパー 10 とドレイン 8 3 戻の漏れはソース 8 1 との間の電位差の割合が狭くなり、この距離での電界が大きくなることである。

【00014】図 13 は、ドレイン電流 Vd が Vd とゲート長の関係を表す特性図である。このドレイン電流ゲート長特性は、たとえ試験コントロールゲート 8 7 やウェル 8 1 よびソース 8 1 を接続し、ドレイン 8 3 戻に与える電圧を上げていった場合に観測されるドレイン電流 10 が大きい(黒)とえれば、μm 以上になったときのドレイン電流が異なるゲート電圧ごとに求めることによって得られるものである。ゲート長 L が比較的長い領域でのグラフは、特徴的な「反発」現象(1)に示されたインパクトイオン化(既発領域)と(2)で起きたアパランシェ降低によって、

あって次第にされるものである。また、ゲート長の縮小化に伴うドレイン電流 Vd が低下傾向はソース 8 1 とドレイン 8 3 戻を隔てるパンチスルーストッパーによって決定されるものである。ドレイン電流ゲート長特性において、ゲート長の縮小化に伴うドレイン電流 Vd が低下し始めるときのゲート長 L 以下では謙譲ゲート長 L 1 と「しおり」または「しのり」という。図 13 から明らかのように、パンチスルーストッパー 10 の濃度を高めると謙譲ゲート長 L 1 は縮むくなる。そのため、パンチスルーストッパー 10 の濃度が比較的低い場合における謙譲ゲート長 L 1 は、パンチスルーストッパー 10 の濃度が比較的高い場合における謙譲ゲート長 L 1 よりも短い。

【00015】フラッシュメモリのメモリセルでは、データの読み取り時ににおいてドレイン電流 Vd とドレインのバイアスが印加される。したがって、脆弱ゲート長 L 1 によりも短いゲート長 L 1 とを用いたメモリセルでは、图 13 に示されるようにドレイン電流 Vd をドレイン電流 Vd が近づいて設定すると、サブレッシュホールドによるリーク電流が増大することになる。そのため、本来はカットオフされるべき Vd (ゲート電圧) のときにでも微小なリーク電流がソース・ドレイン間で流れることになる。

【00016】このため、謙譲ゲート長 L 1 はよりも要

いゲート長 L_m を用いることはなく、一般には複数ゲートと接続するマージンを考慮して複数ゲート接続するよりも長いゲート長 L_m を用いられる。

【0017】上述したように複数ゲート長 L_m を決定する要因はソース／ドレイン門の漏電の広がりであるから、ゲート長を短くするためにはソース／ドレイン底での電位のむきりを抑えるためにパンチスルーストッパーとの漏電を小さくする必要がある。すなわち、パンチスルーストッパーとの漏電を小さくすると漏界ゲート長 L_m が短くなるからメモリセルに使用するゲート長 L_m を短くすることができる。

【0018】しかししながら、ゲート長を短縮化するためにパンチスルーストッパーとの漏電を小さくすると、図11に示されたインパクトイオン化強度測定結果11-1におけるインパクトイオン化（1.1.1.）電流が現れ、アバランチ電流によって活性化されるドレイン耐圧 V_{DS} が低下する。このドレイン耐圧 V_{DS} の低下は開口時に示された注入電荷 $1g/cm^2$ の値で引き起こす。幸運にも、図10では $V_{DS}=1.0V$ で $V_g=1.0V$ において注入効率を低下しているが、ゲート長の短縮化に伴いパンチスルーストッパーとの漏電を小さくすると、この注入効率の低下強度がドレイン耐圧 V_{DS} の漏電強度が小さくなる（図10より左側）へシフトする。このような注入効率の低下はチャージポンプ回路の負荷を増大させ、ひいてはチャップサブの摩耗へと繋がる。

【0019】上述したようにゲート長の短縮化のためにパンチスルーストッパーとの漏電を低くすることはできないか、インパクトイオン化による注入効率の低下を抑える手法として、一般的なメモリセルではソース／ドレイン及びドレイン L_m の漏電を小さくするしB（Lightly Doped Beam）と呼ばれる手法がある。しかしながら、Pチャネルメモリセルを用いたCONCRETEのフランクムゼアではこの手法を用いることができない。これに、BT BTによって十分な漏電が発生するためには図11に示されたBT BT発生漏電11-1の強度が $1.0V/cm^2$ 程度は必要だからである。もしも一般的なメモリセルと同様にソース／ドレイン L_m の漏電を低くすると、BT BTによって発生する漏電が低下し、その後、注入効率が低下することになる。

【0020】図11より閉じて、上述したゲート長の約半分に倍する注入効率の低下の漏電を示す。図11によれば、ゲート長の縮小化という目的を達成するためには、漏界ゲート長 L_m を確保するという必要性は避けることができないと考えられていた。漏界ゲート長 L_m を確保するための1つの手法として、パンチスルーストッパーとの漏電を小さくするという手法が考案されるが、図11に示されるようにインパクトイオン化によるリーケ漏電が増加し、その結果、BT BTによって活性化されたホットエレクトロンの注入効率が低下することになる；また、漏界ゲート長 L_m を確保

するためのもう1つの手法としてソース／ドレイン L_m をLDD構造とする手法が考えられるが、BT BTによって充分な量の電子が生成されなくなり、その結果、ホットエレクトロンの注入効率がやはり低下することになる。

【0021】以上のように、チャネルメモリセルを用いてBT BT型のフランクムゼアではゲート長を縮小化するためにはBT BTによって誘起されたホットエレクトロンの注入効率の低下を避けることができないという問題があった。

【0022】この発明の目的は、ゲート長を短くしてフランクムゼアのさらなる収集強化を図ることである。

【0023】この発明のもう1つの目的は、BT BTによって高起されたホットエレクトロンの注入効率を、さざざることなくゲート長を短くすることである。

【0024】

【課題を解決するための手段】この発明に従った不確実性半導体記憶装置は、直歯のスタッガード型メモリセルと、複数のワード線と、メインビット線と、サブビット線と、セレクトゲートと、ソース線などを含む。複数のワード線は複数のスタッガード型メモリセルに対応して配置され、各ワード線は判定するデータゲートメモリセルのコントロールゲートと接続される。サブビット線は複数のスタッガード型メモリセルのドレインと共通に接続される。セレクトゲートはメインビット線とサブビット線との間に接続される。ソース線は複数のスマッシュゲート型メモリセルのノードと並んで接続される。スタッガード型メモリセルのデータ線は漏界ゲート又はもしくは柵に接続される。ここで、漏界ゲートとは、ドレイン耐圧とゲート長との関係をもつてドレイン耐圧-ゲート長特性においてゲート長の漏電化に伴いドレンイン耐圧が吸下し始めるときのゲート長をいう。また、ワード線によって活性化されたスタッガード型メモリセルからのデータ漏出時にそのソース／ドレイン間に強引に流れ込む電流を I_{DS} とし、データ漏出時にワード線によって遮断されオカウテータがプロトケラムされた状態にあるスタッガード型メモリセルのソース／ドレイン間にかかる漏出電流を I_{dss} とし、さらに I_{DS} と I_{dss} を満たすように設定される。

【0025】上記不確実性半導体記憶装置において、マージンファクタはほぼ常に1.0に設定される。【0026】上記不確実性半導体記憶装置は好ましくはさらに、スタッガード型メモリセルへのデータ漏出時にソース側柵放電駆除による開放手段を含む。【0027】上記不確実性半導体記憶装置は好ましくはさらに、スタッガード型メモリセルへのデータ漏出時

に予定期間をソース端に追加する第1のルックアップテーブルを追加します。

【り028】上記不揮^{ハシ}性半導体記憶装置は好ましくは
さらに、データ誤作時に所定電位をノース線に印加する
第2のロックゲート^{ロッカゲート}を取る。

200 N. G. K.

【発刊の実施の形態】以下、この細明の実施の形態を画面を参考して詳しく説明する。なお、図中の一符等は開いた状態部分を示す。

【0-0-3】【実施の形態】 様々な、この発明の実施の形態によれば、N-1-N型のプラッシュモリノにおけるモリセラアルエイブ、複数成形する個別器である。複数を参照して、D-1-Nの各型のプラッシュモリノは、複数のスヌックゲート型モリセルMC-1～MC-15、MC-2～MC-25とし、複数のワード解説してW-1～W-15と。メインピクトメントBLと、サブピクトメントBL、BL-2と、コレクタゲート-1と、1と、ソース側Sとを有す。複数のワード解説W-1～W-15は、複数のスタックゲート型モリセルはMC-1～MC-15またはMC-2～MC-25に割り当てて設置する。ワード解説

〔0031〕このワラッシュメモリはさらに、虚拡大アドレスP-F0Cに応答してマスク線S1を開放状態にするとともに、虚拡大アドレスP-F0Dに応答してマスク線S1を閉鎖するソース制御基板S1を備える。第1ノードN1は、虚拡大アドレスP-F0Cに応答してマスク線S1を開放するソース制御基板S1

アーティストの名前を記入する欄 [0035]

ここで、AMトロンは、メモリセルの強制めきい電荷をマスクなし、ワーティングゲートに電荷が全くない場合におけるメモリセルのめきい電荷をシミュレーションする。

[View Details](#) [Edit](#) [Delete](#)

また、(a) はコントロールゲートとソリーティングゲートとの間の結合率の値を示し、(b) はドレインとワイヤノードゲートとの間の結合率の値を示す。

【0038】図で示された難易度トータルよりも上り

モルタル化～MCU 1、MC 2 1～MC 2 2へのデータ
書き込み時に活性化され、読出イストップ信号 READ はメ
モリセルMCU 1～MC 1 5、MC 2 1～MC 2 2から
のデータ読み出し時に活性化される。

【0632】図2は、ドレイン電極をショットゲート接続したの構造を示す特許図である。上述したようにパンチスルーストップの遮蔽を高くするなど短絡遮断ゲートを止めし m_1 を確保することはできるが、またMOSFETによって遮断されたホルトエレクトロン注入効率が低下する。そのため、この実験の結果、1させばパンチスルーストップの遮蔽を高く設置されない。

【0033】また、1つのサブピット跡SB-L1またはSB-L2と並んで接続されるモシリセルMC-L1~L5またはMC-Z1~MC-Z8には、データ電流時に蓄積ドレイン電位V_D^{high}が立ち上り、データの読み出し時に放出ドレイン電位V_D^{low}が立ち下る。一概に、蓄積ドレイン電位が最初にV_D^{high}の左方で放出ドレイン電位が最初にV_D^{low}よりも大きい。したがって、ドレイン電位V_D^{high}は、漏れ电流ドレイン電位V_D^{low}よりも大きくなる傾向がある。

LEADER'S) が、この製品の特徴) では、メイゼルを組み立てて開いたとき、幅 2.1" × 高さ 2.5" のゲート長をして、蝶番ゲートへ収めました。よりも短いゲート長が使用される、ここで、隙間に押されたドレイン面とゲート長特性で、ゲート端を強くしていくくをトレイン面で、よりも強力感でしめるが、このドレイン面とゲート長を低下しめるときのゲート長が蝶番ゲート長に同じである。

【0035】*ビリ*は、ドレイン電流（-1d）とゲート電圧（Vg）との関係を表す半特性能である。この特性には、電界ゲート電圧よりも長いケート長を使用して、いわゆる「シルエット」した状態の特性曲線と、露呈ゲート長よりも短いゲート長を用意して、いわゆる「ヒューズ」として実験の形態との特性曲線とが重ねてされている。また、この特性能には、データ漏出時間においてデータがアラームされる状態にあるモモモリセルのプローフチャージゲートの電圧値と、データ漏出時間においてデータがアラームされた次回あるいはモモモリセルのワローチングゲートの電圧値が示されている。ここで、ワローチングゲートの電圧値と「B」は次の式（1）で表される。

60351

62. *Scutellaria* (L.) L. 1753. *Scutellaria* L. 1753. *Scutellaria* L. 1753.

と、次の如くとぞおもふる。

1537

卷之三

総合的な運営によって、より多くの人々の利用を目的とした「総合的運営」から始ま
る。この場合の「チータ」は出発点（マーカー）においては、通常メモリや半導体記憶装置に記入される出発点がトレイン電源として流れ、非接触式半

リセモ半分に「ア」で示される濁音ノック電流がトライイン最端端として識れる。ア」で示される濁出リーク電流は「ア」で示される濁音電流に比べて十分に小さいものである。なお、この場合にはあけるデータ窓開時（Vd=Vg=0）の特性曲線はデータ窓閉時（Vd=Vg=0）の特性曲線上にほとんど差はないものである。

【603-1】このアラッシュモモリのデータ漏出時に、図4-6に示されるように、図1中のゾースト耐候面図1-3によってゾースト耐候面が形成され、メインビックマスク版としてドライバイン電極V1としてたとえY1が再び表示され、環状ワード線WL2と共にコントロールゲート電極としてたとえY2が8-Vが与えられ、新規ワード下端Y1-WL2-Y1-S1にコントロールゲート電極としてたとえY0-Y1がそれぞれ再び表示される。ここでは、L1(論理回路)にレジストのセレクタ電極S1-C1がセレクトゲートY1に接続され、H(論理ハイ)レベルのセレクタ電極S0-C0がセレクトゲートY1に与えられているので、メインビックマスク版M1-Hの位置(=8-V)はサブビックマスクSBL2に接続に与えられ、サブビックマスクSBL1には再び表示されない。したがって、サブビックマスクSBL2に接続されたY0-Y1セリセルはY1-C1-MC25が導込まれる状態にある。但し、ここでワード線WL2には+8-Vが与えられ、他のマスク版MC21、MC23-MC25は表示されない。

【0042】したかって、無限メモリセルRAMとだけ
で字ごとに書き込まれるが、この実装の特徴は、アドレスに

ンデスルーストップバの機度を減らしていないため、E.T. B.上にあって操作されたホットエレクトロンの注入開始が停止することはない。しかししながら、ゲート変更によって電荷ゲート長さL_gによりも短くしているため、前記遮断モリセルM₁C₂1、M₂C₃～M₂C₅の間のパンチホールによる比較的大きな漏電リーク電流I_{dr}は小さくなる。 $I_{dr} = 1.6 \times 10^{-6}$ A～ 1.8×10^{-6} Aが得られる。しかしながら、この実施の形態1ではソースS₁は1.5Vで駆動状態にされているため、ソース降伏の実質性は、たとえば $V_{DS} = 0$ V～ 0.5 Vというように低下する。そのため、前記遮断モリセルM₂C₂1、M₂C₃～M₂C₅のリーク電流が低下し、その結果、パッケージ効率にもよりマスクードレイン側のリーク電流はカットオフされる。したがって、これらの遮断ドアのリーク電流I_{dr}は $I_{dr} = 1.6 \times 10^{-6}$ A～ 1.8×10^{-6} Aは寄生動作動作時に一時的に消滅するだけである。したがって、この実施の形態1のようにゲート長さL_gが電荷ゲート長さL_{mi}よりも短くしても、上記遮断ドアのリーク電流が問題となることはない。

20. 【0043】他も、このアラシノメモリデータ抽出時ににおいては、図4に示されるように、図1中のソース制御部13によってソース選択S1にてソース選択をしてたときは4引りが選択され、メインピット編成B1にてトライイン電位してたとき選一引りが選択される。ここで図4と同様に、メインピット編成B1の電位(一トウ)がサブピット編成S2としだいに与えられ、スヰッチセルMC2を1~4引りともだけが選択可能な状態となってる。追し、ワード接続S2にはコントロールゲート電位してたときは4引りが与えられ、他のワード接続S1、S2、S3へも4引りにコントロールゲート電位選択してたときは4引りがそれなりに与えられてるので、モリセレクタMC2を2引きが選択され、他のモリセレクタMC21、MC23~MC25は選択されてない。

【0-4-4】したがって、選択ゾメモリセルMC-22中に
は誤出電場 I_{d2S2} が流れ、他のゾメモリセルをMC-
1、MC-2-3-MC-2 S_1 には誤出リーク電流 I_{d1S1} 、 I_{d2S1} 、
 I_{d3S1} 、 I_{d3S2} が流れれる。しかしながら、データ出力時にはソース電圧 S_1 からV_D
に逆さされているので、上述したデータ漏出時のようにな
らの誤出リーク電流 I_{d1S1} 、 I_{d2S1} 、 I_{d3S1} 、 I_{d3S2}
がカットオフされることはない。
【H-4-5】そこで、この実現的形態 H では次の式
(3) を満たすように設定されている。

$\sum \text{labelBlock} \ll \text{labelCount}$

すなむら、データ漏洩特化非遮蔽メモリセル中に流れろ

中に流れる漏出電流 I_{dsat} よりも十分に小さくなるよう規定されている。なお、データからプログラムされている代数における非選択メモリセルに流れる漏出リード電流の力がデータカバレースされている状態にある非選択メモリセル中に流れる漏出リード電流よりも大きいので、漏出リード電流の値が最大となる範囲の場合を考えて、ここで漏出リード電流 I_{dsat} はプログラムの漏出電流よりもモリセル中に流れることである。

【0.04.3】一般に、選択メモリセルからのデータ漏出 I_{dsat} と漏出リード電流 I_{dsat}

ここで、マージンファクタ M は 1 以上の予め定められた値であり、好ましくは 1 である。
【0.04.4】一般にデータ漏出時のドレイン電位（たとえば $-1V$ ）はデータ漏出時のドレイン電位（ $-5V$ ）よりも低い（絶対値が小さい）ので、漏出リード電流は漏出リード電流よりも小さい。したがって、上記要件式（4）を満たすように規定することは十分に可能である。

【0.05.0】以上のうらにこの規範の形態による漏出ゲート長を影響ゲート長よりも短くしているため、アーチショットメモリの伝導度をさらに高めることが可能である。また、上記要件式（4）を満たすように設けられているため、ゲート長を臨界ゲート長よりも短くしているにも拘らずデータ漏出時に非選択メモリセル中に流れるパンチスルーバイオード漏出リード電流は十分に抑えられ、適切した漏出動作を行なうことができる。また、データ書込時は非選択メモリセル中に内蔵するパンチスルーバイオード漏出リード電流はパンチゲート効果によってカットオフされそのため、要定した書込動作も行なうことができる。さらに、パンチスルーバイオードの漏出を残していなければ、半音子によって頭部されたホットエレクトロンの注入抑制が可能となることを示す。

【0.05.1】『実施の形態 2』図からは、この発明の実施の形態によるアーチショットメモリの構造を示す回路図である。漏出を参照して、このアーチショットメモリは上記実施の形態と異なり、専用イネーブル信号 p_{EN} によって非選択の漏出（たとえば C_{dsat} 、 $5V$ ）をソース端子に接続するバックゲート前加圧端子 B を備える。
【0.05.2】このようなアーチショットメモリにおいては、データ書込時に所定の電位（たとえば C_{dsat} 、 $5V$ ）がソース端子に与えられるので、メモリセル間に $2I_{dsat}$ し $2I_{dsat}$ のバックゲート（ウェル）に実質的に負の電位が与えられることがある。そのため、バックゲート効果によってデータ書込時に非選択メモリセル中に流れるパンチスルーバイオード漏出を低減することができる。

【0.05.3】『実施の形態 3』図 7 は、この発明の実施の形態によるアーチショットメモリの一構成を示す回路図である。図 7 を参照して、このアーチショットメモリは上記実施の形態と異なり、漏出イネーブル信号 p_{EN} に

よりノースードレイイン端に接続される漏出電流 I_{dsat} により、データ漏出時にプログラム状態の非選択メモリセルのノースードレイイン端に流れる漏出リード電流を I_{dsat} とし、1 つのサブピット間に接続されたメモリセルの数を N とし、さらにマージンファクタを M とすると、このアーチショットメモリは上記式（3）を変形した次の関係式（4）を満たすように規定される。
【0.04.8】

$|N|B + 1/M \leq I_{dsat} \leq |N|V$ ④

に充てて所定の漏出（たとえば C_{dsat} 、 $5V$ ）をソース端子に印加するバックゲート印加電圧 V_B を監視する。このとき、ノースードレイイン端の漏出を上記実施の形態と同様に V とするためにドレイン電位として $-1V$ を与えるのが望ましい。

【0.04.9】このようなアーチショットメモリにおいては、上記実施の形態と異なりバックゲート効果によってパンチスルーバイオード漏出を低減することができる。

【四面の繊細な説明】

【図 1】この発明の実施の形態 1 による D-NOR 型アーチショットメモリにおけるメモリセルアレイの一部構成を示す回路図である。

【図 2】アーチショットメモリのメモリセルにおけるドレン電圧 V_D と V_G ドレインゲート長特性を表す図である。

【図 3】アーチショットメモリのメモリセルにおけるドレイン電圧、ゲート電圧特性を表す図である。

【図 4】図 1 に示されたアーチショットメモリのデータ漏出時の動作を示す断面図である。

【図 5】図 1 に示されたアーチショットメモリのデータ操作時の動作を示す断面図である。

【図 6】この発明の実施の形態 2 による D-NOR 型アーチショットメモリにおけるメモリセルアレイの構成を示す回路図である。

【図 7】この発明の実施の形態 3 による D-NOR 型アーチショットメモリにおけるメモリセルアレイの一部構成を示す回路図である。

【図 8】D-NOR 型アーチショットメモリにおける p チャネルスタックゲート型メモリセルの構造を示す断面図である。

【図 9】図 8 に示されたメモリセルにおけるトレイノード漏出ドレイン電圧およびゲート電圧、ドレイン電圧特性を示す図である。

【図 10】図 9 に示されたドレイン電圧に対するゲート電圧の割合である注入漏漏とトライニン電圧との関係を示す図である。

【図 11】パンチスルーフトロードを有する p チャネルスタックゲート型メモリセルの構造を示す断面図である。

【図 12】チャネルスタックゲート型メモリセルに

流れのパンチスル一層所を割離するための断面図である。

【図13】 スタッケゲート型メモリセルにおけるドレイン電源ゲート電位特性を示す図である。

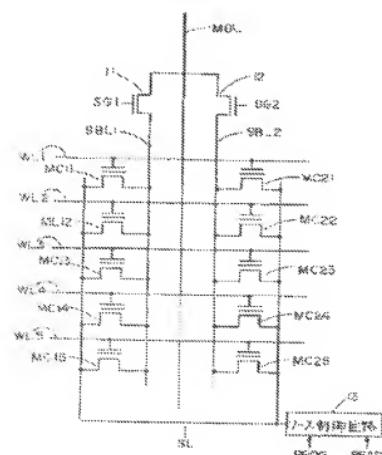
【図14】 ゲート長の縮小化に伴う誤認を抑制するための回路である。

【図15】 図14と同様の構造を説明するための注入条件とドレイン電位との関係を示す図である。

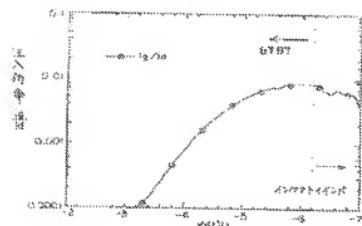
【特許の説明】

* MC1～MC16, MC21～MC25 フラッシュゲート型メモリセル、 WL1～WL5 ワード線、 MB1 メインビット線、 SBL1, SBL2 サブビット線、 I1, I2 セレクトゲート、 SL プース線、 端界ゲート技術 Lmin^{1.0}, Lmin^{1.1}, Ids^{1.0}, Ids^{2.0}, Ids^{3.0}～Ids^{5.0}、 漏出ワイヤ電流、 ID_{off}、 パックゲート印加回路。

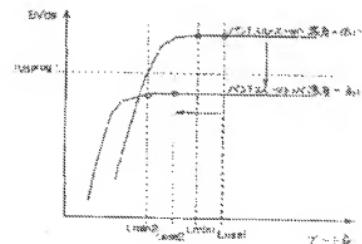
【図11】



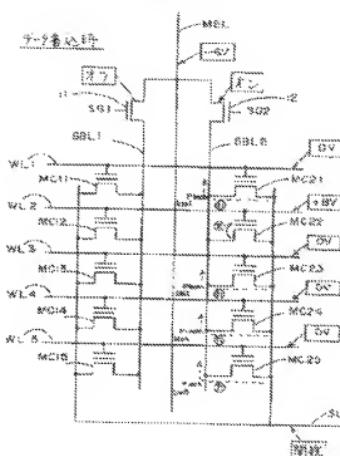
【図10】



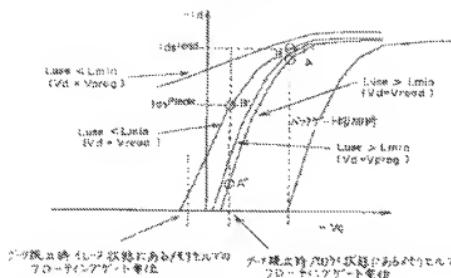
【図2】



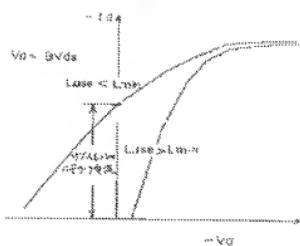
【図4】



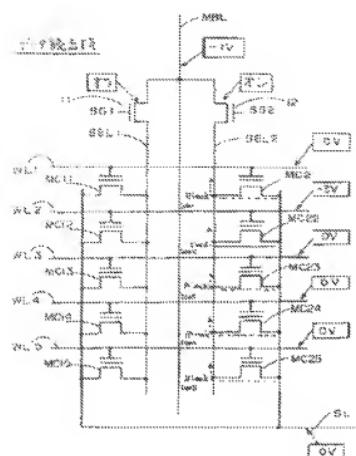
【図4】



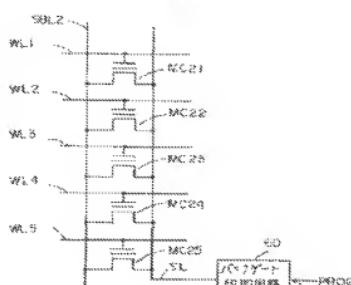
【図5】



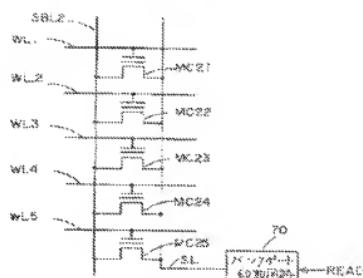
【図6】



【図6】



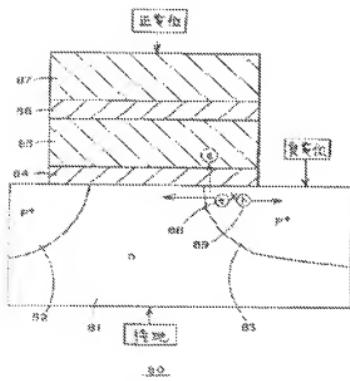
【図7】



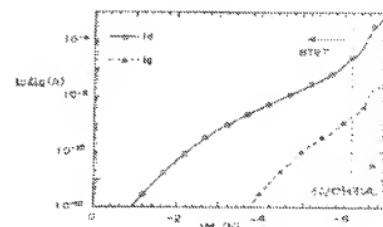
(10)

静電場 $E = 2.40 \times 10^4$

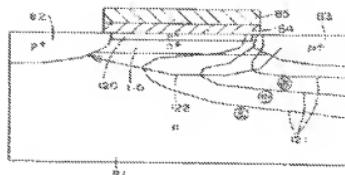
【図 8】



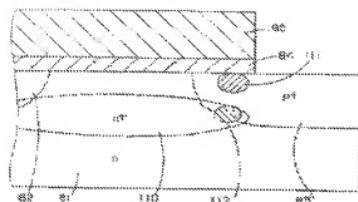
【図 9】



【図 12】



【図 1】



【図 14】



【図15】

